

20GHz 信号伝送を実現する微細バンプ実装の開発

精密・電子技術部門

平成21年度に実施した JST 地域ニーズ即応型受託研究「20GHz 信号伝送を実現する微細バンプ実装の開発」について、バンプ実装を採用しインピーダンス整合を考慮して設計を行い、20GHz の伝送損失が 6dB 以内となる IC パッケージを開発することができました。

■ はじめに

従来のワイヤボンディングに代わるバンプ実装においては、IC パッケージのバンプが接続するランド間隔は 0.1mm 程度となるため配線構造が微細となり、インピーダンス整合した伝送線路やビアの設計が困難となります。そこで電磁界解析による高周波回路設計とビア等の微細構造評価技術を用いて、高周波信号を伝送できる IC パッケージを試作しました。

■ 研究内容

層間の伝送線路を接続するためのビアはインピーダンスの不整合が起りやすいため、ビアのインピーダンスを検証しました。表1にビアの穴径、ランド径及びクリアランス径を変化させた6種類のビア設計仕様を示します。図1に高周波回路シミュレータを用いて、ビア位置におけるインピーダンス変化を計算した結果を示します。

また、今回使用したプリント配線板材料 (LTCC : Low Temperature Co-fired Ceramics) は高周波特性に優れているものの、厚さが薄いため、インピーダンス整合を考慮し両側を GND とするコプレーナ構造にて設計しました。

さらに、はんだリフロー工程で熱膨張差によるマザーボード基板の反り及び IC パッケージの BGA とマザーボードのランドの位置ずれに対する実装方法の改良を行いました。今回、位置合わせ用の専用治具を開発するとともに、BGA とランドの接合部に低融点はんだペーストを用いて位置ずれ不良を抑制しました。

■ 結果

図2と図3に試作の概要とネットワークアナライザによる測定結果を示します。この結果 20GHz における伝送損失は 5.7dB となり、目標である 6dB 以内を実現することができました。

表1 ビアの設計仕様

	Via φ(mm)	Land φ(mm)	Clearance φ(mm)
Via11	0.08	0.13	0.47
Via12	0.08	0.13	0.43
Via21	0.08	0.17	0.47
Via22	0.08	0.17	0.43
Via31	0.15	0.2	0.46
Via32	0.15	0.16	0.5

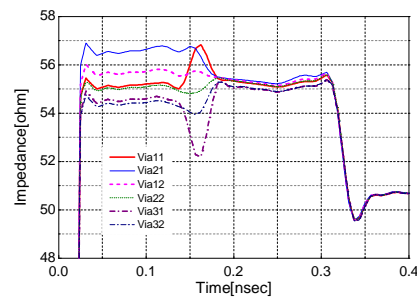


図1 ビアのインピーダンス計算結果

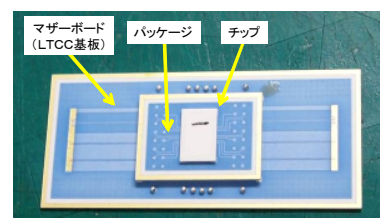


図2 試作の概要

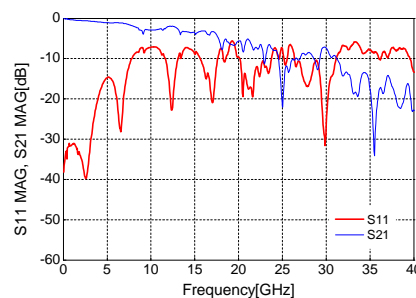


図3 試作の測定結果

■ おわりに

高周波における設計・解析・評価技術を製品開発にご活用ください。

工業技術総合センター

精密・電子技術部門 電子部 窪田昭真

TEL 0266-23-4054、FAX 0266-23-9081

E-Mail: seimitsushiken@pref.nagano.lg.jp