

「高度組込み技術協調設計開発支援システム」のご紹介

情報技術部門

「高度組込み技術協調設計開発支援システム」は、FPGA を用いての組込み機器設計を効率良く行うための開発環境です。C 言語コンパイラや論理合成ツール、配置配線ツール、シミュレータ等で構成されます。本システムが平成 19 年度に工業技術総合センター情報技術部門に導入されたので、その概要をご紹介します。

■ 協調設計とは

ハードウェアとソフトウェアの協調設計とは、システムを構成するハードウェア部とソフトウェア部を、システムの性能やコストなどの観点から最適となるように協調して設計することです。ハードウェア部とは FPGA 上で実現する専用回路部であり、ソフトウェア部とは FPGA に実装するソフトウェア CPU 上で動作するプログラムを指します。専用回路部はハードウェア記述言語 (HDL)、ソフトウェア部は C 言語で記述するのが一般的ですが、同時並行して両者の記述作業を進められれば、より効率的に設計できます。

協調設計が注目されつつある背景は 2 つあります。まず、半導体製造技術の進歩によって、大規模で複雑なシステムが 1 つのチップ上に構成できるようになりました。一方、電子機器のライフサイクルが短くなり、それに合わせて開発期間を短くすることが重要視されています。協調設計手法により、大規模システムにおいても、バグが少なく開発期間を短縮した設計が期待できます。

■ システム構成

システム開発用ソフトウェア
FPGA 対応 C 言語コンパイラ(CoDeveloper)
HDL シミュレータ(ModelSim SE)
論理合成ツール(Synplify Pro)
配置配線ツール(Quartus II)
回路シミュレータ(OrCAD with PSpice)
システム検証用ハードウェア
開発システムのデバッグツール(LabVIEW)

■ システムの特徴

CoDeveloper には ANSI-C 記述で協調設計を可能にするライブラリが用意されています。

このライブラリを用いることでプロセスモデルの並列化記述が可能です。各プロセスは C の関数なので、アルゴリズム水準での機能表現が可能となります。ハードウェアに指定したプロセスからは HDL ソースを生成し、ソフトウェアに指定したプロセスからは C ソースを生成します。

ModelSim SE は業界標準である HDL シミュレータ ModelSim の高性能バージョンです。VHDL、Verilog、SystemC の 3 つの言語を自由に混在させデバッグできるため、大規模なシステム開発にも対応可能です。

Synplify Pro は数百万ゲートの大規模設計にも対応可能な論理合成ツールです。HDL コードを元に、回路規模や動作周波数などの優先事項に応じた最適なアルゴリズムを適用してロジック化します。

Quartus II は ALTERA 社製 FPGA 用の配置配線ツールです。ModelSim や Synplify と統合して使用可能です。



■ おわりに

本システムは、FPGA を利用した機器開発に有効なツールです。ご利用をお待ちしております。

工業技術総合センター 情報技術部門
通信基盤部 浜 淳
TEL 0263-25-0997 FAX 0263-26-5350
E-Mail hama@nagano-it.go.jp